

Guía docente de la asignatura

Estructuras de Computadores



Fecha última actualización: 15/06/2021

Fecha de aprobación: 15/06/2021

Grado	Grado en Ingeniería Informática (Ceuta)	Rama	Ingeniería y Arquitectura
--------------	---	-------------	---------------------------

Módulo	Formación Específica de Rama	Materia	Estructura y Arquitectura de Computadores
---------------	------------------------------	----------------	---

Curso	2º	Semestre	1º	Créditos	6	Tipo	Obligatoria
--------------	----	-----------------	----	-----------------	---	-------------	-------------

PRERREQUISITOS Y/O RECOMENDACIONES

Se recomienda la superación de los contenidos y adquisición de competencias de las materias de formación básica, particularmente de “Tecnología y Organización de Computadores” y de “Fundamentos de Programación”.

BREVE DESCRIPCIÓN DE CONTENIDOS (Según memoria de verificación del Grado)

- Arquitectura del repertorio de instrucciones.
- Estructura de un computador en el nivel de lenguaje máquina y programación en ensamblador.
- Relación entre lenguajes de alto nivel y ensamblador; representación de datos y estructuras sencillas.
- Sistema de Memoria.
- Sistema de Entrada/Salida.
- Buses.
- Organización del procesador: control cableado y microprogramado, segmentación de cauce, etc.

COMPETENCIAS ASOCIADAS A MATERIA/ASIGNATURA

COMPETENCIAS GENERALES

- CG08 - Conocimiento de las materias básicas y tecnologías, que capaciten para el aprendizaje y desarrollo de nuevos métodos y tecnologías, así como las que les doten de una gran versatilidad para adaptarse a nuevas situaciones.

COMPETENCIAS ESPECÍFICAS



- CE15 - Capacidad de conocer, comprender y evaluar la estructura y arquitectura de los computadores, así como los componentes básicos que los conforman.

RESULTADOS DE APRENDIZAJE (Objetivos)

- Caracterizar las instrucciones en lenguaje máquina y en lenguaje ensamblador.
- Distinguir entre los diferentes tipos de instrucciones en ensamblador, modos de direccionamiento y tipos de operandos.
- Implementar código en ensamblador. Implementar un programa combinando código ensamblador y código de alto nivel.
- Explicar cómo se implementan construcciones de los lenguajes de alto nivel en ensamblador y cómo se representan y almacenan en el computador datos y estructuras sencillas.
- Depurar código a bajo nivel y desensamblar.
- Describir una implementación elemental de camino de datos y unidad de control.
- Explicar cómo la unidad de control de una CPU interpreta una instrucción a nivel máquina tanto en implementaciones cableadas como microprogramadas.
- Explicar el concepto de segmentación de cauce, junto con los riesgos que pueden degradar las prestaciones.
- Explicar la estructura y el funcionamiento de la jerarquía de memoria en un computador y mostrar la necesidad de su presencia.
- Describir el hardware para gestión de la jerarquía de memoria en un computador (memoria cache).
- Describir cómo configurar y diseñar memorias utilizando varios módulos. Explicar cómo incrementar el ancho de palabra y el número de palabras.
- Describir las diferentes organizaciones de la memoria cache, analizando las posibles estrategias de extracción, colocación, reemplazo y actualización, y los parámetros que afectan a las prestaciones.
- Explicar las diferentes técnicas de gestión de E/S. Describir controladores o interfaces de dispositivo.
- Explicar el concepto de bus, estructuras y tipos. Describir los diferentes tipos de transferencia, la temporización y el direccionamiento.

PROGRAMA DE CONTENIDOS TEÓRICOS Y PRÁCTICOS

TEÓRICO

- **Tema 1. Introducción**
 - Unidades funcionales.
 - Conceptos básicos de funcionamiento.
- **Tema 2. Representación de programas a nivel máquina**
 - Codificación de programas.
 - Arquitectura del repertorio (ISA).
 - Instrucciones de transferencia, aritmético-lógicas, de control.
 - Procedimientos y subrutinas.
 - Arrays. Estructuras de datos heterogéneas.
- **Tema 3. Unidad de control**
 - Camino de datos.
 - Unidades de control cableadas y microprogramadas.
- **Tema 4. Segmentación de cauce**



- Conceptos básicos.
- Riesgos de datos.
- Riesgos de instrucciones.
- Riesgos de control.
- **Tema 5. Entrada/Salida**
 - Funciones del sistema de E/S. Interfaces de E/S.
 - E/S programada.
 - Interrupciones.
 - DMA (Acceso directo a memoria).
- **Tema 6. Memoria**
 - Jerarquía de memoria.
 - Concepto de localidad.
 - Memoria cache.
 - Influencia en las prestaciones.

PRÁCTICO

- Prácticas:
 - **Práctica 1:** Entorno de desarrollo GNU: Ejemplos.
 - **Práctica 2:** Programación en ensamblador Linux: Programas aritméticos.
 - **Práctica 3:** Programación mixta C-ASM: Optimización.
 - **Práctica 4:** Depuradores, desensambladores y editores hexadecimal: Demostración de las competencias adquiridas.
 - **Práctica 5:** Funcionamiento de E/S: Aplicación con Microcontrolador.
 - **Práctica 6:** Análisis de una Jerarquía de Memoria: Cache.
- Seminarios:
 - **Seminario 1:** Entorno de desarrollo GNU.
 - **Seminario 2:** Programación en ensamblador Linux.
 - **Seminario 3:** Programación mixta C-ASM.
 - **Seminario 4:** Depuradores, desensambladores y editores hexadecimal.
 - **Seminario 5:** Funcionamiento de E/S.
 - **Seminario 6:** Análisis de una Jerarquía de Memoria.

BIBLIOGRAFÍA

BIBLIOGRAFÍA FUNDAMENTAL

- C.V. Hamacher, Z. Vranesic, S. Zaky, Organización de Computadores. McGraw-Hill, 2003. **ESIIT/C.1 HAM org**
- W. Stallings, Organización y Arquitectura de Computadores. Pearson Educación, 2008. **ESIIT/C.1 STA org**
- R.E. Bryant, D.R. O'Hallaron: Computer systems: a programmer's perspective. Pearson, 2016. **ESIIT/C.1 BRY com**

BIBLIOGRAFÍA COMPLEMENTARIA

- Ortega, M. Anguita, A. Prieto. Arquitectura de Computadores. Thomson, 2005. **ESIIT/C.1 ORT arq**
- F. García, et al, Problemas resueltos de Estructura de Computadores. Paraninfo, 2009. **ESIIT/C.1 PRO pro**



- M.I. García, et al, Estructura de Computadores: problemas resueltos. Ra-Ma, 2006. **ESIIT/C.1 EST est**
- N. Carter. Arquitectura de Computadores. McGraw-Hill, 2004. **ESIIT/C.1 CAR arq**
- A.S. Tanenbaum. Structured Computer Organization. Pearson Education, 2006. **ESIIT/C.1 TAN str**
- J.L. Hennessy, D.A. Patterson, Computer architecture: a quantitative approach. Morgan Kaufmann, 2007. **ESIIT/C.1 HEN com**
- D.A. Patterson, J.L. Hennessy, Computer Organization and design: the hardware-software interface. Elsevier, 2005. **ESIIT/C.1 PAT com**

ENLACES RECOMENDADOS

- IEEE TCCA (Technical Committee on Computer Architecture) <http://ieeetcca.org/>
- ACM SIGARCH (Special Interest Group on Computer Architecture) <http://www.sigarch.org/>
- Computer Science Degree Hub FAQ: What is Computer Architecture? <https://www.computersciencedegreehub.com/faq/what-is-computer-architecture/>
- Geeks for Geeks: Computer Organization and Architecture Tutorials <https://www.geeksforgeeks.org/computer-organization-and-architecture-tutorials/>

METODOLOGÍA DOCENTE

- MD01 Lección Magistral (Clases Teóricas-Expositivas)
- MD02 Actividades Prácticas (Resolución de Problemas, Resolución de Casos Prácticos, Desarrollo de Proyectos, Prácticas en Laboratorio, Taller de Programación, Aula de Informática, Prácticas de Campo).
- MD03 Seminarios (Debates, Demos, Exposición de Trabajos Tutelados, Conferencias, Visitas Guiadas, Monografías).
- MD04 Actividades no presenciales Individuales.
- MD05 Actividades no presenciales Grupales.
- MD06 Tutorías Académicas.

EVALUACIÓN (instrumentos de evaluación, criterios de evaluación y porcentaje sobre la calificación final)

EVALUACIÓN ORDINARIA

En esta Guía Docente se recogen las condiciones de evaluación comunes a las cuatro Titulaciones en las que se imparte la asignatura: Grado en Ingeniería Informática (GII-Granada), dobles Grados en Ingeniería Informática y Matemáticas o ADE (GIM-GIADE Granada) y Grado en Ingeniería Informática en el Campus de Ceuta (GII Ceuta). Si fueran necesarios más detalles, los explicaría cada profesor, quedando la información disponible por escrito en la plataforma docente.

Se puede evaluar la participación activa de los estudiantes durante el curso mediante algunas de las siguientes actividades. Los detalles se explican el primer día de clase en la presentación de la asignatura, quedando la información disponible por escrito en la plataforma docente.



- Pruebas individuales realizadas en grupo grande y/o en grupo pequeño (pequeños test, exámenes parciales, etc.). No en todas las Titulaciones se contempla la realización de exámenes parciales. Si los hay, los detalles se explican en clase y quedan por escrito en la plataforma.
- Memorias de prácticas (o trabajos similares, considerados en el art. 7 de la Normativa de Evaluación y Calificación). No en todas las Titulaciones se contempla la entrega de memorias de prácticas (o trabajos similares). Si las hay, los detalles se explican en clase y quedan por escrito en la plataforma.
- Exámenes escritos con fecha fijada por el Centro (test de teoría, de prácticas, exámenes de problemas, etc.). A celebrar en las fechas fijadas por el Centro. Estas pruebas sí pueden tener evaluación por incidencias, a diferencia de las anteriores, sin fecha fijada por el Centro ni evaluación por incidencias.

Las actividades de Teoría (grupo grande) contabilizan hasta 6p, las de Prácticas (grupo pequeño) hasta 4p, y para aprobar se debe superar el umbral del 40% separadamente para Teoría y Prácticas, como se resume esquemáticamente en la siguiente tabla:

Actividades de evaluación	Máximo	Porcentaje	Mínimo	Denominación
continua				
Grupo grande (Teoría)	6.0	60%	2.4 (40%)	NTeo
Grupo pequeño (Prácticas)	4.0	40%	1.6 (40%)	NPra
Total	10.0	100%	5.0 (50%)	NTot

EVALUACIÓN EXTRAORDINARIA

La evaluación extraordinaria se realiza en las mismas condiciones (instrumentos, criterios, porcentajes) que la ordinaria. Si en alguna Titulación hubiera alguna diferencia, se explicaría el primer día de clase en la presentación de la asignatura, quedando la información disponible por escrito en la plataforma docente.

EVALUACIÓN ÚNICA FINAL

Los estudiantes que opten por la evaluación única final realizarán un examen escrito del tipo “con fecha fijada por el Centro” mencionado anteriormente (con posibilidad de evaluación por incidencias), con los porcentajes y umbrales indicados en la siguiente tabla:

Pruebas de la evaluación única final	Máximo	Porcentaje	Mínimo	Denominación
TT (Test de teoría)	3.0	30%	TT+EP = 2.4 (40%)	TT+EP = NTeo
EP (Examen de Problemas)	3.0	30%	TT+EP = 2.4 (40%)	TT+EP = NTeo
TP (Test de prácticas)	4.0	40%	1.6 (40%)	NPra
Total	10.0	100%	5.0 (50%)	NTot

Si en alguna Titulación hubiera alguna diferencia, se explicaría el primer día de clase en la presentación de la asignatura, quedando la información disponible por escrito en la plataforma



docente.

INFORMACIÓN ADICIONAL

Plataforma docente (material de la asignatura, organización de los grupos de prácticas, convocatorias de exámenes, etc.):

- Plataforma PRADO, <https://prado.ugr.es>, y Sistema SWAD, <https://swad.ugr.es>
- GII, 1 sitio PRADO <https://prado.ugr.es> + 2 sitios SWAD, <https://swad.ugr.es/es?crs=5101> y <https://swad.ugr.es/es?crs=5107>
- GIM, 1 sitio SWAD, <https://swad.ugr.es/es?crs=5108>
- GIADE, 1 sitio PRADO <https://prado.ugr.es> + 1 sitio web <https://pccito.ugr.es/ec/>
- GII Campus Ceuta, 1 sitio PRADO <https://prado.ugr.es>

