



**UNIVERSIDAD
DE GRANADA**

Facultad de Ciencias

GRADO EN INGENIERÍA ELECTRÓNICA
INDUSTRIAL

TRABAJO FIN DE GRADO
**Sistema basado en VHDL para la
generación y análisis de
paquetes de datos en una red
Ethernet Gigabit bajo
condiciones de tráfico intenso.**

Presentado por:
Antonio Morales Cortés

Tutor:
Antonio Francisco Díaz García

Curso académico 2024/2025



UNIVERSIDAD DE GRANADA

GRADO EN INGENIERIA ELECTRÓNICA INDUSTRIAL

Sistema basado en VHDL para la generación y análisis de paquetes de datos en una red Ethernet Gigabit bajo condiciones de tráfico intenso.

Autor: Antonio Morales Cortés

Directores: Antonio Francisco Díaz García

Departamento: Arquitectura y tecnología de computadores

Palabras clave: Ethernet, FPGA, VHDL, sistema embebido, Vivado.

Resumen:

Ethernet se ha consolidado como uno de los protocolos de comunicación más extendidos, tanto en la industria como en la vida cotidiana. Con el auge de tecnologías como la Inteligencia Artificial, la Industria 4.0 y el incremento del consumo doméstico de Internet, surge la necesidad de protocolos capaces de ofrecer mayores anchos de banda para soportar el creciente volumen de tráfico de datos. En este contexto, cobran especial relevancia los dispositivos destinados a la prueba y verificación de redes y protocolos Ethernet, fundamentales para garantizar su correcto funcionamiento y desempeño.

Con el objetivo de evaluar las capacidades de Ethernet del Sistema-en-Chip RFSoc 4x2 de AMD Xilinx, este trabajo propone el desarrollo de un sistema de bajo coste basado en FPGA para la generación y análisis de tráfico Ethernet. El proyecto abarca todas las etapas necesarias para ofrecer un prototipo plenamente funcional, incluyendo el diseño de firmware, la implementación de un driver y el desarrollo de una interfaz de usuario, contribuyendo así a disponer de una herramienta versátil y accesible para la validación de sistemas de comunicaciones de alta velocidad.